

OVERVOLTAGE PROTECTION CIRCUIT

Patent Number: JP9307361
Publication date: 1997-11-28
Inventor(s): SHIGA NAOMI
Applicant(s):: NEC CORP
Requested Patent: ☐ JP9307361
Application Number: JP19960120086 19960515
Priority Number(s):
IPC Classification: H03F1/52
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To improve responding speed to overvoltage and to prevent the breakage of a circuit constitution parts.

SOLUTION: Between a power source 2 and a load 6 driven by this power source, an overvoltage detection circuit 11 detecting voltage applied to a load in order from a power source side and a switch circuit 12 release a power source line VD connecting the power source 2 and the load 6 when this detected voltage is larger than a setting voltage are connected. AS a feedforward system is used, the responding speed is improved to ease stress to the load and the time in which overvoltage is added to a Zener diode is reduced to prevent its breakage.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)

E6190

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-307361

(43) 公開日 平成9年(1997)11月28日

(51) Int.Cl.⁶

H03F 1/52

識別記号

庁内整理番号

F I

H03F 1/52

技術表示箇所

B

審査請求 有 請求項の数 6 O L (全 5 頁)

(21) 出願番号

特願平8-120086

(22) 出願日

平成8年(1996)5月15日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 志賀 直実

東京都港区芝五丁目7番1号 日本電気株式会社内

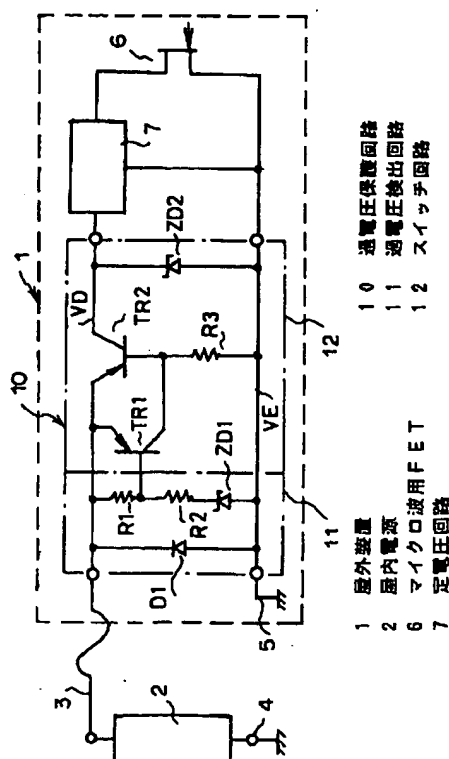
(74) 代理人 弁理士 鈴木 章夫

(54) 【発明の名称】 過電圧保護回路

(57) 【要約】

【課題】 負荷素子を過電圧から保護するための過電圧保護回路をフィードバック構成とすると、応答速度が遅く、かつ保護回路の素子（ツェナーダイオード）が破壊され易い。

【解決手段】 電源2と、この電源により駆動される負荷6との間に、電源側から順次的に、負荷に印加される電圧を検出する過電圧検出回路11と、この検出した電圧が設定電圧よりも大きい場合に電源2と負荷6とを接続する電源線VDを開放するスイッチ回路12とを接続する。フィードフォワード方式であるために応答速度が向上され、負荷へのストレスが緩和され、かつツェナーダイオードに過電圧が加わる時間が短縮されてその破壊が防止される。



【特許請求の範囲】

【請求項1】 電源と、この電源により駆動される負荷との間に、電源側から順次的に、負荷に印加される電圧を検出する過電圧検出回路と、この検出した電圧が設定電圧よりも大きい場合に前記電源と負荷とを接続する電源線を開放するスイッチ回路とを介挿接続したことを特徴とする過電圧保護回路。

【請求項2】 過電圧検出回路は、ツェナーダイオードと抵抗とを電源線と接地線との間に直列接続し、これらで分圧された電圧を検出する請求項1の過電圧保護回路。

【請求項3】 スwitch回路は、過電圧検出回路で検出された電圧が設定電圧よりも大きいときに状態が変化する制御トランジスタと、この制御トランジスタの状態変化に応じてオン、オフ動作されるスイッチトランジスタとで構成される請求項1または2の過電圧保護回路。

【請求項4】 スwitchトランジスタは、コレクタ・エミッタを電源線に直列接続し、ベースは抵抗を介して接地線に接続されたバイポーラトランジスタで構成され、制御トランジスタはコレクタ・エミッタを電源線とスイッチトランジスタのベースとの間に接続し、ベースに過電圧検出回路の出力電圧が入力されるバイポーラトランジスタで構成される請求項3の過電圧保護回路。

【請求項5】 スwitchトランジスタは、ソース・ドレインを電源線に直列接続し、ゲートは抵抗を介して接地線に接続された電界効果トランジスタで構成され、制御トランジスタはコレクタ・エミッタを電源線とスイッチトランジスタのベースとの間に接続し、ベースに過電圧検出回路の出力電圧が入力されるバイポーラトランジスタで構成される請求項3の過電圧保護回路。

【請求項6】 スwitch回路の出力側の電源線と接地線との間にツェナーダイオードが接続される請求項1ないし5のいずれかの過電圧保護回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は過電圧保護回路に関し、特にマイクロ波FET等耐電圧の低い素子を使用している機器へ流入する過電圧から素子を保護するための保護回路に関する。

【0002】

【従来の技術】 従来のこの種の過電圧保護回路の一例を図3に示す。ここで、トランジスタ21が電源22により駆動され、このトランジスタ21を過電圧から保護するものとする。前記トランジスタ21のバイアス線VDと接地線VEとの間にツェナダイオードZD11とダイオードD11が直列に接続され、かつその中間点Mと負電圧-Vの間に抵抗R11が接続されて電圧検出回路23が構成されている。ここで、ツェナダイオードZD11のツェナ電圧は中間点Mの電圧が0～-1Vの値となるように選定される。また、ダイオードD11の順方向

電圧降下は0.6Vであるとする。また、前記電源22とトランジスタ21との間のバイアス線VDにはリレー等のスイッチ回路で構成されるバイアス制御回路24が接続されており、このバイアス制御回路24はオペアンプ等で構成される直流増幅器を含む制御信号変換回路25により前記中間点Mの電圧に基づいて制御される。

【0003】 この構成においては、トランジスタ21のバイアスに過電圧が印加され、中間点Mの電圧が0.6V以上になると、ダイオードD11に電流が流れて中間点Mの電圧は0.6Vに保たれる。その結果、トランジスタ21のバイアス電圧は、(ツェナ電圧+0.6)Vに保たれ、トランジスタ21は過電圧から保護される。一方、前記過電圧の印加により、前記中間点Mの電圧が瞬時的に0.6Vを越え、この電圧は制御信号変換回路25で電圧信号に変換され、この制御信号変換回路25から出力された信号はバイアス制御回路24へ伝達され、バイアス制御回路24を制御してバイアス線VDをオフ状態とし、トランジスタ21を電源22から切り離すように動作する。

【0004】

【発明が解決しようとする課題】 このような従来の過電圧保護回路においては、次のような問題が生じている。第1の問題点は、応答速度が遅く、過電圧入力に対して応答するまでの間に過電圧がトランジスタ21に印加されてしまう。その理由は、オペアンプ等で構成される制御信号変換回路25の直流増幅器の応答が遅いためである。この場合、応答を速くすると制御信号変換回路25、バイアス制御回路24、電圧検出回路23で構成されるフィードバックループが発振してしまい、安定な動作が得られるなくなる。第2の問題点は、大きな過電圧が入力された時にツェナダイオードZD11が破壊され、保護機能が働かないことがある。その理由は、バイアス制御回路24が応答するまでの間、ツェナダイオードZD11には過電圧が印加され、そのエネルギーでツェナダイオードが破損してしまうためである。

【0005】 本発明の目的は、過電圧に対する応答速度を向上させ、かつ回路構成部品の破損を防止した過電圧保護回路を提供することにある。

【0006】

【課題を解決するための手段】 本発明の過電圧保護回路は、電源と、この電源により駆動される負荷との間に、電源側から順次的に、負荷に印加される電圧を検出する過電圧検出回路と、この検出した電圧が設定電圧よりも大きい場合に前記電源と負荷とを接続する電源線を開放するスイッチ回路とを介挿接続したことを特徴とする。ここで、過電圧検出回路は、ツェナーダイオードと抵抗とを電源線と接地線との間に直列接続し、これらで分圧された電圧を検出する構成とされる。また、スイッチ回路は、過電圧検出回路で検出された電圧が設定電圧よりも大きいときに状態が変化する制御トランジスタと、

この制御トランジスタの状態変化に応じてオン、オフ動作されるスイッチトランジスタとで構成される。

【0007】また、スイッチトランジスタは、コレクタ・エミッタを電源線に直列接続し、ベースは抵抗を介して接地線に接続されたバイポーラトランジスタで構成され、制御トランジスタはコレクタ・エミッタを電源線とスイッチトランジスタのベースとの間に接続し、ベースに過電圧検出回路の出力電圧が入力されるバイポーラトランジスタで構成されることが好ましい。あるいは、スイッチトランジスタは、ソース・ドレインを電源線に直列接続し、ゲートは抵抗を介して接地線に接続された電界効果トランジスタで構成され、制御トランジスタはコレクタ・エミッタを電源線とスイッチトランジスタのベースとの間に接続し、ベースに過電圧検出回路の出力電圧が入力されるバイポーラトランジスタで構成されることが好ましい。さらに、スイッチ回路の出力側の電源線と接地線との間にツェナーダイオードが接続されることが好ましい。

【0008】

【発明の実施の形態】次に、本発明の実施形態について図面を参照して説明する。図1は本発明の一実施形態の回路図である。ここでは屋内電源2から電源ラインとしてのケーブル3を通して屋外装置1に電源が供給され、この屋外装置1に過電圧保護回路が設けられている。すなわち、屋内電源2のアース4と屋外装置1のアース5の間には、アース電位の差からサージ電圧が生じるため、屋外装置1の通常供給電圧+10数Vに対して、+50V程度の電圧が観測されることがある。この時屋外装置1に設けられているマイクロ波用FET6は通常定電圧回路7によって出力電圧一定に保たれているが、この定電圧回路7は一般に+35V程度の耐圧であるため、+50V程度の電圧が印加されると破損する。そのために過電圧保護回路が設けられる。

【0009】前記過電圧保護回路10は、過電圧検出回路11とスイッチ回路12とで構成される。過電圧検出回路11は、電源ラインVDとアースラインVEとの間に接続される逆流防止ダイオードD1と、同様に両ライン間に接続された抵抗R1、R2とツェナーダイオードZD1とで構成される。この抵抗R1、R2とツェナーダイオードZD1は、電源ラインVDに予め設定した過電圧が印加されたときに、抵抗R1、R2の接続点Xの電位がスイッチ回路12の後述する制御トランジスタTR1をオン動作させる電圧となるようにそれぞれの値が設定されている。

【0010】スイッチ回路12は、制御トランジスタTR1とスイッチトランジスタTR2とで構成されており、スイッチトランジスタTR2はコレクタ、エミッタが電源ラインVDに直列接続され、ベースが抵抗R3を介してアースラインVEに接続され、スイッチトランジスタのオン、オフにより電源ラインを開閉し得るように

構成される。また、制御トランジスタTR1はベースが前記抵抗R1、R2の接続点に接続され、エミッタが電源ラインVDに、コレクタが前記スイッチトランジスタTR2のベースに接続される。さらに、スイッチ回路12の出力側には電源ラインVDとアースラインVEとの間に定常電圧を保持するツェナーダイオードZD2が接続され、さらに出力端には負荷として前記定電圧回路7およびマイクロ波用FET6が接続されている。

【0011】この過電圧保護回路によれば、屋外装置1にツェナーダイオードZD1のツェナ電圧を越える過電圧が加わると、過電圧検出回路11のツェナダイオードZD1に電流が流れ抵抗R1、R2の接続点の電圧が低下する。これにより制御トランジスタTR1がオンとなり、コレクタ電位が上がり、スイッチトランジスタTR2がオフとなり、出力端からの出力が停止される。以上の動作は数 μ sec以内に終了する。この間の過電圧はツェナダイオードZD2によって吸収される。一般にツェナダイオード等は一定以上のエネルギーを吸収すると破壊するが、前記動作が非常に短時間で終了するために、ツェナダイオードZD2は破壊されることはない。また屋外装置1に負の過電圧が加わった場合はダイオードD1で吸収する。なお、トランジスタTR1、TR2、ダイオードD1の耐電圧を100V以上の高耐圧のデバイスを用いることにより、耐電圧性を向上できる。また本回路は、トランジスタTR2による通常運用時の電圧降下は1V以下であり、電源効率の意味からも優れている。

【0012】図2は本発明による第2の実施形態例の回路図である。この実施形態ではスイッチトランジスタとして電界効果トランジスタFET1を使用したものである。なお、同図の回路において、図1と等価な部分には同一符号を付してある。このように、スイッチトランジスタに電界効果トランジスタFET1を利用しても、第1の実施形態と同様に過電圧の印加時に電源ラインVDを開放し、負荷トランジスタ6を過電圧から保護することが可能となる。

【0013】なお、前記各実施形態では制御トランジスタをバイポーラトランジスタで形成しているが、この制御トランジスタを電界効果トランジスタで構成することも可能である。

【0014】

【発明の効果】以上説明したように本発明は、電源側から負荷側に向けて、過電圧検出回路と、この過電圧検出回路で検出された過電圧に基づいて電源線を開放するスイッチ回路を設けたことにより、次のような効果を得ることができる。第1の効果は、過電圧に対する遮断までの応答速度が速く、負荷へのストレスが少なくなる。その理由は、本発明ではフィードバック方式でないため、過電圧が印加された場合、瞬時に電源と負荷を遮断できるからである。第2の効果は、大電流の場合にも効率が

良くなる。その理由は、スイッチ回路のスイッチング用トランジスタの電圧降下が小さく、コレクタやドレインにおける損失が小さいからである。さらに、第3の効果は回路が簡単で信頼性が高いことである。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態の回路図である。

【図2】 本発明の第2の実施形態の回路図である。

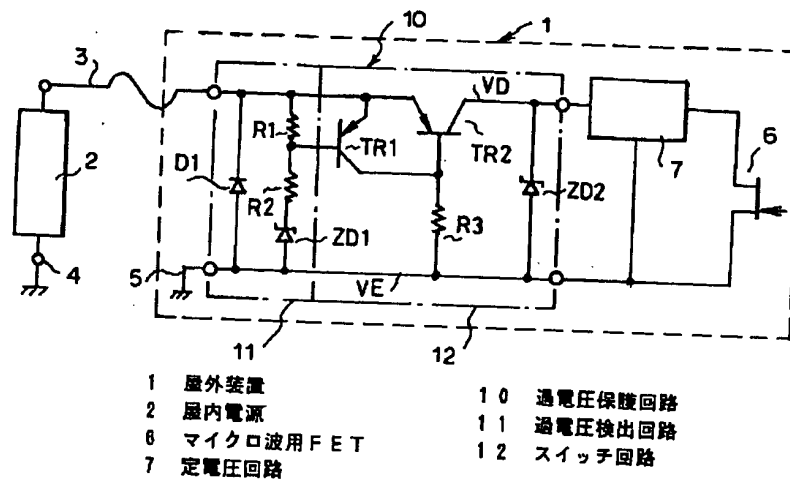
【図3】 従来の過電圧保護回路の回路図である。

【符号の説明】

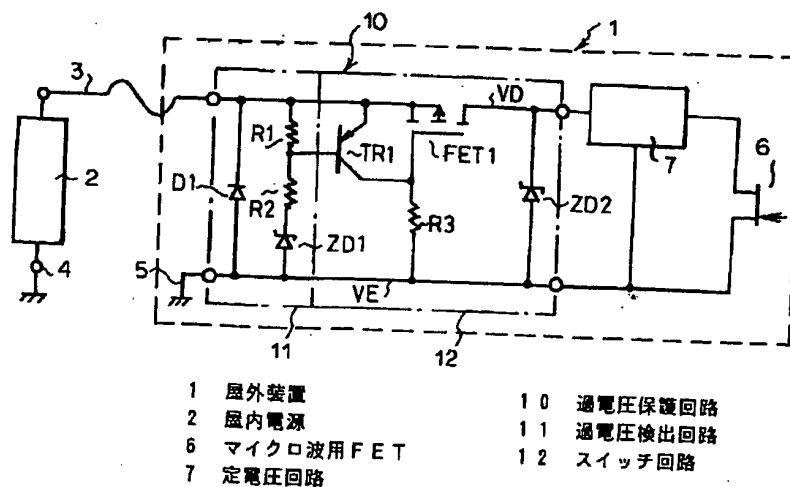
- 1 屋外装置
- 2 屋内電源
- 3 電源ケーブル
- 4, 5 アース

- 6 マイクロ波用FET
- 7 定電圧回路
- 10 過電圧保護回路
- 11 過電圧検出回路
- 12 スイッチ回路
- TR1 制御トランジスタ
- TR2 スイッチトランジスタ
- ZD1, ZD2 ツェナーダイオード
- D1 ダイオード
- R1, R2, R3 抵抗
- VD 電源ライン
- VE アースライン

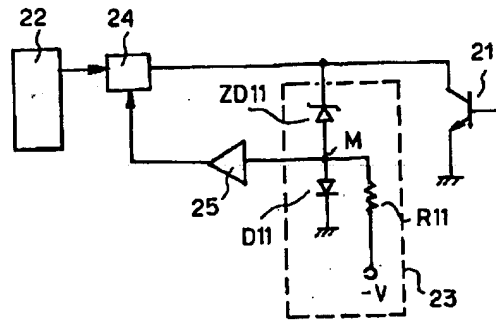
【図1】



【図2】



【図3】



- 2 1 トランジスタ
- 2 2 電源
- 2 3 電圧検出回路
- 2 4 バイアス制御回路
- 2 5 制御信号変換回路

THIS PAGE BLANK (USPTO)